

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100974

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H03K 17/22
H03K 19/003

(21)Application number : 2000-287498

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.09.2000

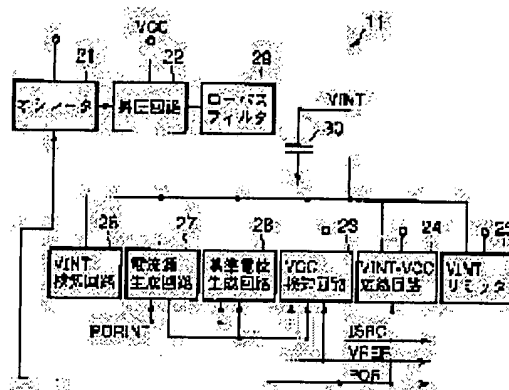
(72)Inventor : IKEHASHI TAMIO
KANDA KAZUE

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device comprising a power-on reset circuit, in which a change in power-on detection level due to irregularities in the threshold of a used element or due to a temperature is small.

SOLUTION: In the semiconductor device, a power-supply voltage VCC, supplied from the outside to a memory chip, is used as the internal power-supply voltage. The semiconductor device is provided with an oscillation circuit 21, which starts to generate clock pulses, when the internal power-supply voltage becomes higher than a first voltage VLGC; a boosting circuit 22 which receives the clock pulses so as to perform a boosting operation; a reference-voltage generation circuit 28 which uses the output voltage of the boosting circuit as a power supply so as to generate a reference voltage and a voltage detection circuit 26, which comprises a comparison circuit used to compare the divided voltage of the internal power-supply voltage with the reference voltage, while the output voltage of the boosting circuit is used as the power supply and by which a first signal POR to become a first logic level 'H', when the internal power-supply voltage is higher than a second voltage Vpo2 is output as a power-on reset signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2002-100974

(P2002-100974A)

(43)公開日 平成14年4月5日(2002.4.5)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H O 3 K 17/22
19/003

H O 3 K 17/22
19/003

E 5 J 0 3 2
B 5 J 0 5 5

審査請求 未請求 請求項の数24 OL (全 16 頁)

(21)出願番号 特願2000-287498(P2000-287498)

(22)出願日 平成12年9月21日(2000.9.21)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 池橋 民雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 神田 和重

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

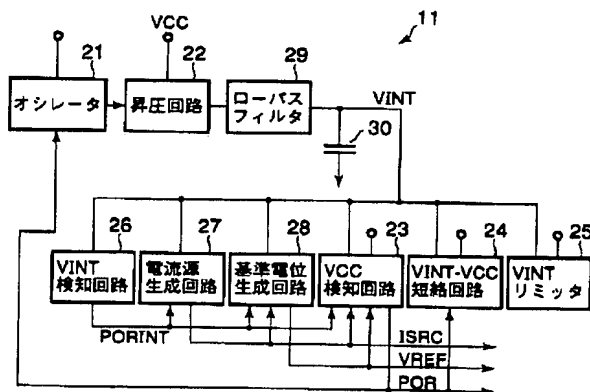
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】使用素子の閾値のばらつきや温度によるパワーオン検知レベルの変化が小さいパワーオンリセット回路を有する半導体装置を提供する。

【解決手段】メモリチップに外部から投入された電源電圧VCCを内部電源電圧として使用する半導体装置において、内部電源電圧が第1の電圧VLGCよりも高くなるとクロックパルスを生成し始める発振回路21と、クロックパルスを受けて昇圧動作を行う昇圧回路22と、昇圧回路の出力電圧を電源として使用し、基準電圧を生成する基準電圧生成回路28と、昇圧回路の出力電圧を電源として使用し、内部電源電圧の分圧と基準電圧とを比較する比較回路を有し、内部電源電圧が第2の電圧Vpo2よりも高い場合に第1の論理レベル"H"になる第1の信号PORをパワーオンリセット信号として出力する電圧検知回路26とを具備する。



1

【特許請求の範囲】

【請求項 1】 半導体チップに外部から投入された電源電圧を内部電源電圧として使用する半導体装置において、

前記内部電源電圧が第 1 の電圧よりも高くなるとクロックパルスを生成し始める発振回路と、
前記クロックパルスを受けて昇圧動作を行う昇圧回路と、

前記昇圧回路の出力電圧を電源として使用し、基準電圧を生成する基準電圧生成回路と、

前記昇圧回路の出力電圧を電源として使用し、前記内部電源電圧の分圧と前記基準電圧とを比較する比較回路を有し、前記内部電源電圧が第 2 の電圧よりも高い場合に第 1 の論理レベルになる第 1 の信号をパワーオンリセット信号として出力する電圧検知回路とを具備することを特徴とする半導体装置。

【請求項 2】 半導体チップに外部から投入された電源電圧から降圧回路により生成された降圧電圧を内部電源電圧として使用する半導体装置において、

前記電源電圧が第 1 の電圧よりも高くなるとクロックパルスを生成し始める発振回路と、
前記クロックパルスを受けて昇圧動作を行う昇圧回路と、

前記昇圧回路の出力電圧を電源として使用し、基準電圧を生成する基準電圧生成回路と、

前記昇圧回路の出力電圧を電源として使用し、前記内部電源電圧の分圧と前記基準電圧とを比較する比較回路を有し、前記内部電源電圧が第 2 の電圧よりも高い場合に第 1 の論理レベルになる第 1 の信号をパワーオンリセット信号として出力する電圧検知回路とを具備することを特徴とする半導体装置。

【請求項 3】 前記昇圧回路は、昇圧回路部と、前記昇圧回路部の出力側に接続されたローパスフィルタおよび昇圧電圧安定化のための容量とを含むことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記第 1 の電圧は、前記半導体チップ内のロジック回路が動作し始める電圧であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記発振回路は、前記電源電圧を電源として使用し、実質的に奇数段のインバータ回路が直列接続されたリング発振回路であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記発振回路は、前記電源電圧が第 1 の電圧よりも高くなったことを検知した信号を受けて発振動作が可能になることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記昇圧回路の出力電圧を電源として使用する電流源生成回路をさらに具備することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

2

【請求項 8】 前記昇圧回路の出力電圧が第 3 の電圧よりも高いか低いかを判定する第 1 の昇圧電圧検知回路を有し、該第 1 の昇圧電圧検知回路によって前記昇圧回路の出力電圧が前記第 3 の電圧よりも低いと判定した場合には、前記内部電源電圧が前記第 2 の電圧よりも高いか低いかにかかわらず、前記第 1 の信号が前記第 1 の論理レベルになることを抑制する回路を有することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記昇圧回路の出力電圧が前記第 3 の電圧よりも高くなってから、前記基準電圧生成回路および前記電圧検知回路が稼働状態になるまでに要する第 1 の時間が経過するまでは、前記内部電源電圧が前記第 2 の電圧よりも高いか低いかにかかわらず、前記第 1 の信号が前記第 1 の論理レベルになることを抑制する回路を有することを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記昇圧回路の出力電圧を制限する制限回路を有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】 前記制限回路は、前記昇圧回路の出力電圧と電源電圧との間に挿入されたダイオード接続の MOS トランジスタからなることを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 前記制限回路は、前記昇圧回路の出力電圧と接地電位との間に挿入されたダイオード接続の MOS トランジスタからなることを特徴とする請求項 10 記載の半導体装置。

【請求項 13】 前記制限回路は、前記昇圧回路の出力電圧の分圧と前記基準電圧とを比較して第 2 の信号を出力する第 2 の昇圧電圧検知回路を有し、該第 2 の昇圧電圧検知回路は、第 1 の検知レベルと、それよりも高い第 2 の検知レベルとを有し、前記昇圧回路の出力電圧の分圧が前記第 2 の検知レベルより高くなってから前記昇圧回路の出力電圧が降下して前記第 1 の検知レベルよりも低くなるまでは前記第 2 の信号を第 1 の論理レベルとし、それ以外の場合には前記第 2 の信号を第 2 の論理レベルに保ち、

前記発振回路は、前記第 2 の信号が前記第 1 の論理レベルにある時は前記クロックパルスの生成を強制的に停止させることを特徴とする請求項 10 記載の半導体装置。

【請求項 14】 前記第 1 の信号が第 1 の論理レベルにある時に前記発振回路によるクロックパルスの生成を強制的に停止させるとともに、前記昇圧回路の出力ノードと電源電圧とを短絡させることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【請求項 15】 前記昇圧回路の出力ノードと電源電圧とを短絡する期間に請求項 3 記載のローパスフィルタの入出力端間を短絡するバイパス回路を具備することを特徴とする請求項 14 記載の半導体装置。

【請求項 16】 前記バイパス回路は、前記内部電源電圧の立ち上がり時にも前記ローパスフィルタの入出力端

3

間を短絡することを特徴とする請求項 15 記載の半導体装置。

【請求項 17】 前記電圧検知回路が前記内部電源電圧の立ち上がりを検知した時にフラグ信号が第 1 の論理レベルになってから、前記基準電圧生成回路の基準電圧生成動作が安定化するまでの時間にほぼ等しい固定時間だけ遅延させた後に前記昇圧回路の出力ノードと電源電圧とを短絡させるように制御するフラグ固定回路をさらに具備することを特徴とする請求項 14 記載の半導体装置。

【請求項 18】 前記フラグ固定回路は、前記フラグ信号が一方の入力となる第 1 のナンド回路と、該第 1 のナンド回路の出力が一方の入力となる第 2 のナンド回路と、該第 2 のナンド回路の出力が入力する第 1 のインバータ回路と、該第 1 のインバータ回路の信号を所定時間遅延させる遅延回路と、該遅延回路の出力が一方の入力となり、前記第 2 のナンド回路の出力が他方の入力となり、その出力が前記第 2 のナンド回路の他方の入力となる第 3 のナンド回路と、前記遅延回路の出力が一方の入力となり、前記遅延回路の出力が他方の入力となるノア回路と、該ノア回路の出力が入力し、その出力が前記第 1 のナンド回路の他方の入力となる第 2 のインバータ回路とを具備することを特徴とする請求項 17 記載の半導体装置。

【請求項 19】 半導体チップに外部から投入された電源電圧が第 1 の電圧よりも高くなるとクロックパルスを生成し始める発振回路と、前記クロックパルスを受けて昇圧動作を行う昇圧回路と、前記昇圧回路の出力電圧を検知してパワーオンリセット信号を生成する電圧検知回路とを具備することを特徴とする半導体装置。

【請求項 20】 前記昇圧回路は、昇圧回路部と、前記昇圧回路部の出力側に接続されたローパスフィルタおよび昇圧電圧安定化のための容量とを含むことを特徴とする請求項 19 記載の半導体装置。

【請求項 21】 前記第 1 の電圧は、前記半導体チップ内のロジック回路が動作し始める電圧であることを特徴*

$$\max(V_{LGC}, V_{ALG}) < V_{PO} < V_{CCmini} \dots \dots \dots (1)$$

を満たす必要がある。ここで、 $\max(V_{LGC}, V_{ALG})$ は V_{LGC} 、 V_{ALG} の大きい方の電圧を指す。通常は V_{ALG} の方が大きい。

【0004】図 29 は、従来のパワーオンリセット回路の構成を示している。

【0005】このパワーオンリセット回路は、外部から入力する電源電圧 V_{CC} が供給される V_{CC} ノードと接地電位 V_{SS} が供給される V_{SS} ノードとの間で互いに直列接続された 2 個の抵抗素子 $R1$ 、 $R2$ と、この抵抗素子 $R1$ 、 $R2$ の直列接続ノード A にゲートが接続され、ソースが V_{CC} ノードに接続された PMOS トランジスタ QP と、この PMOS

4

* とする請求項 19 または 20 記載の半導体装置。

【請求項 22】 前記発振回路は、前記電源電圧を電源として使用し、実質的に奇数段のインバータ回路が直列接続されたリング発振回路であることを特徴とする請求項 19 乃至 21 のいずれか 1 項に記載の半導体装置。

【請求項 23】 半導体チップに外部から投入された電源電圧を内部電源電圧として使用する半導体装置において、基準電圧を生成した後にパワーオンリセット回路以外の周辺回路のリセットを行うパワーオンリセット動作を行うことを特徴とする半導体装置。

【請求項 24】 半導体チップに外部から投入された電源電圧から降圧回路により生成された降圧電圧を内部電源電圧として使用する半導体装置において、基準電圧を生成した後にパワーオンリセット回路以外の周辺回路のリセットを行うパワーオンリセット動作を行うことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特にパワーオンリセット回路に関するもので、例えば半導体メモリに使用されるものである。

【0002】

【従来の技術】パワーオンリセット回路は、外部から入力される電源電圧がある一定の値以上になったらパワーオンリセット信号を発生させる回路である。パワーオンリセット信号は、半導体チップ内のフリップフロップ (F/F) 回路の状態を初期化したり、定電流源生成回路や基準電位発生回路のようなアナログ回路の初期化するためにも使用される。

【0003】例えば半導体メモリにおいて、電源電圧を V_{CC} 、F/F 等のロジック回路が動作し始める電源電圧を V_{LGC} 、アナログ回路が動作し始める電源電圧を V_{ALG} 、仕様から決まる電源電圧 V_{CC} の下限を V_{CCmini} とすると、パワーオンリセット信号が "L" から "H" に立ち上がる時の電源電圧 V_{CC} の値であるパワーオン検知レベル V_{PO} は

トランジスタ QP のドレインと V_{SS} ノードとの間に接続された抵抗素子 $R3$ と、前記電源電圧 V_{CC} を動作電源とし、前記 PMOS トランジスタ QP のドレインと抵抗素子 $R3$ の直列接続ノード B の電位が入力する二段接続のインバータ回路 291、292 とからなり、後段のインバータ回路 292 の出力がパワーオンリセット信号 POR として使用される。

【0006】ここで、上記構成のパワーオンリセット回路の動作について説明する。PMOS トランジスタ QP の閾値を V_{tp} とすると、 V_{CC} の投入直後、PMOS トランジスタ QP はオフ状態であり、ノード B の電位は "L"、後段のインバータ回路 292 の出力電位は "L" のままである。

5

【0007】VCCが上昇し、VCCがパワーオン検知レベル $V_{po} = (R1 + R2) \cdot V_{tp} / R1$ よりも高くなると、PMOSトランジスタQPがオン状態になり、ノードBの電位は“H”、パワーオンリセット信号PORが“H”になる。なお、前記抵抗R1、R2の抵抗値比は前式(1)が満たされるように決めるものとする。

【0008】上記したような従来のパワーオンリセット回路では、パワーオン検知レベル V_{po} がPMOSトランジスタQPの閾値 V_{tp} に依存している。このPMOSトランジスタQPの閾値 V_{tp} は、製造プロセスによるばらつきを持ち、また、温度によっても変化する。このため、パワーオン検知レベル V_{po} もPMOSトランジスタQPの閾値 V_{tp} のばらつきや温度により大きく変化し、前式(1)の条件が満たされなくなるという問題が生じる。

【0009】また、1Gクラスの大容量の半導体メモリにおいて、フューズ素子としてROM Fuseを採用し、低VCC動作を実現しようとする、様々な電源投入、電源投入時のROM Fuseの読み出し動作を範疇に入れなければならない。例えば仕様では2.3 V動作、設計上で2.1 V動作を保証する場合には、パワーオンリセット回路で1.6 V動作を保証しなくてはならない。しかし、このような低い電源電圧を使用する場合には、電流源回路であるウィルソン回路や差動増幅器が動作せず、基本的に不可能である。

【0010】

【発明が解決しようとする課題】上記したように従来のパワーオンリセット回路では、パワーオン検知レベル V_{po} がPMOSトランジスタQPの閾値 V_{tp} に依存し、この閾値 V_{tp} が製造プロセスによるばらつきを持ち、また、温度によっても変化する、パワーオン検知レベル V_{po} もPMOSトランジスタQPの閾値 V_{tp} のばらつきや温度により大きく変化し、正常な動作条件が満たされなくなるという問題が生じる。

【0011】本発明は上記の問題点を解決するためになされたもので、使用素子の閾値のばらつきや温度によるパワーオン検知レベルの変化が小さいパワーオンリセット回路を有する半導体装置を提供することを目的とする。

【0012】また、本発明は、低い電源電圧を使用する場合にも、電流源回路であるウィルソン回路や基準電圧生成回路を動作させることが可能になる半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体チップに外部から投入された電源電圧を内部電源電圧として使用する半導体装置において、前記内部電源電圧が第1の電圧よりも高くなるとクロックパルスを生成し始める発振回路と、前記クロックパルスを受けて昇圧動作を行う昇圧回路と、前記昇圧回路の出力電圧を電源として使用し、基準電圧を生成する基準電圧生

6

成回路と、前記昇圧回路の出力電圧を電源として使用し、前記内部電源電圧の分圧と前記基準電圧とを比較する比較回路を有し、前記内部電源電圧が第2の電圧よりも高い場合に第1の論理レベルになる第1の信号をパワーオンリセット信号として出力する電圧検知回路とを具備することを特徴とする。

【0014】また、本発明の第2の半導体装置は、半導体チップに外部から投入された電源電圧から降圧回路により生成された降圧電圧を内部電源電圧として使用する半導体装置において、前記内部電源電圧が第1の電圧よりも高くなるとクロックパルスを生成し始める発振回路と、前記クロックパルスを受けて昇圧動作を行う昇圧回路と、前記昇圧回路の出力電圧を電源として使用し、基準電圧を生成する基準電圧生成回路と、前記昇圧回路の出力電圧を電源として使用し、前記内部電源電圧の分圧と前記基準電圧とを比較する比較回路を有し、前記内部電源電圧が第2の電圧よりも高い場合に第1の論理レベルになる第1の信号をパワーオンリセット信号として出力する電圧検知回路とを具備することを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0016】＜第1の実施の形態＞図1は、本発明の半導体装置の第1の実施の形態に係る半導体メモリの構成を概略的に示している。

【0017】図1において、メモリチップ10の外部からは電源電圧VCCならびに制御信号、アドレス信号が入力される。チップ内部には、POR 信号発生回路（パワーオンリセット回路）11、メモリセルアレイ12およびそれを制御する周辺回路13が設けられている。POR 信号発生回路11は電源電圧VCCが入力され、基準電位VREF およびパワーオンリセット信号POR を生成し、周辺回路13は前記制御信号およびアドレス信号が入力されるとともに前記基準電位VREF およびパワーオンリセット信号POR が入力される。

【0018】＜POR 信号発生回路の第1の実施例＞図2は、図1中のPOR 信号発生回路11の第1の実施例を示すブロック図である。

【0019】このPOR 信号発生回路は、VCCを電源とする回路と、VCCから昇圧された昇圧電圧VINT を電源とする回路を含む。

【0020】発振回路（オシレータ）21、昇圧回路22、VCC検知回路23、VINT-VCC短絡回路24およびVINT リミッタ25は、それぞれVCCを電源とする。本例では、昇圧回路22の出力側にローパスフィルタ29および昇圧電圧安定化容量30が挿入されており、昇圧回路22の出力電圧（昇圧電圧VINT）がローパスフィルタ29および安定化容量30を経てVINT 検知回路26、電流源生成回路27、基準電位生成回路28の電源として供給される。

【0021】上記VINT 検知回路26は、昇圧電圧VINT

7

をモニタし、VINTがある程度の電圧レベルになったことを検知してパワーオン検知信号PORINTを生成するものであり、このパワーオン検知信号PORINTは、電流源生成回路27、基準電位生成回路28、VCC検知回路23に供給される。

【0022】前記電流源生成回路27の出力電流ISRCは、VCC検知回路23に供給されるとともに、メモリ内部の回路に供給される。

【0023】前記基準電位生成回路28は、昇圧電圧VINTを電源としてVREFを生成するものであり、このVREFは、VCC検知回路23に供給されるとともに、メモリ内部の回路に供給される。

【0024】前記VCC検知回路23は、VCCをモニタし、VCCが所定の電圧以上になったことをVREFとの比較により検知してパワーオンリセット信号PORを生成するものであり、このパワーオンリセット信号PORは、発振回路21およびVINT-VCC短絡回路24に供給される。

【0025】前記発振回路21は、VCC電源の立ち上がりにより自動的に発振動作を開始してクロックパルスを生成し、前記VCC検知回路23から供給されるパワーオンリセット信号PORが“H”になると発振動作を停止する。

【0026】前記昇圧回路22は、前記クロックパルスを受けて昇圧動作を行い、VCCから昇圧電圧VINTを生成する。これにより、前記電流源生成回路27、基準電位生成回路28などの回路の電源電圧をある程度高い電圧レベルに維持できる。

【0027】図3は、図2中のVCCを電源とする発振回路21、昇圧回路22およびローパスフィルタ29、安定化容量30を取り出して一例を示す。

【0028】発振回路21は、実質的に奇数段の反転遅延回路がリング状に接続されたリング発振回路からなり、パワーオンリセット信号PORが“L”の時に発振動作が可能になる。本例では、PORが一方の入力となるノア回路31と、このノア回路31の出力側に接続された2段のインバータ回路32、33と、上記ノア回路31の出力側および各段のインバータ回路32、33の出力側にそれぞれ接続された容量素子C1、C2、C3とからなり、後段のインバータ回路33の出力が前記ノア回路31の他方の入力となるインバータチェーンが構成されている。

【0029】メモリチップにVCCが投入されると、投入直後はPORが“L”となっているので発振回路21の発振動作が可能になっており、やがてVCCがVLGC（ノア回路31、インバータ回路32、33が動作し始める電源電圧）より高くなると、発振回路21が自発的に動き出し、クロックパルスを生成する。

【0030】昇圧回路22は、IタイプのNMOSトランジスタQ1、Q2、Q3と、昇圧用キャパシタC4、C5が図示のように接続されてなるチャージポンプ回路が用いられており、このチャージポンプ回路の入力ノードがVCCノードに接続されている。そして、昇圧用キャパシタC4、C5の

8

各一端に位相が異なるクロックパルスが供給されることにより昇圧動作（チャージポンピング動作）を行い、昇圧出力ノードに昇圧電圧VINTを出力する。

【0031】なお、昇圧出力ノードの電位がある程度になると、発振回路21が動作し始める。この時点から昇圧回路22が昇圧動作を開始するが、昇圧能力を低減するためにVCCを充電することが望ましい。そこで、ドレイン・ゲート相互が接続されたプリチャージ用のNMOSトランジスタQ4をVCCノードと昇圧出力ノードとの間に接続し、昇圧出力ノードをVCCに充電するようにしている。

【0032】ローパスフィルタ29は、抵抗素子RとキャパシタC6、C7が図示のように接続されてなり、昇圧電圧VINTの電位の揺れを抑え、平滑化させる働きを有する。

【0033】安定化容量30は、昇圧電圧VINTの揺れを抑えるとともに、昇圧電位を蓄える働きを有するものであり、例えばMOS構造のキャパシタ、DRAMセル構造のキャパシタを使用することができる。

【0034】図4乃至図9は、図2中の昇圧電圧VINTが供給されるVINT検知回路26、電流源生成回路27、VCC検知回路23、VINT-VCC短絡回路24、VINTリミッタ25を取り出してそれぞれ一例を示す。ここで、VINTを電源とする回路にはVINTの電源シンボルを付しており、VINTの電源シンボルのないロジック記号（インバータ、ナンドゲートなど）は全てVCCを電源とする。

【0035】なお、図2中の基準電位VREFを生成する基準電位生成回路28は、VREFの温度依存をなくすために、基準電位生成部にBGR（バンドギャップリファレンス）回路を使用している。また、製造上のばらつき等によるBGR回路の出力電圧のばらつきを削減するために、基準電位生成回路28に電圧トリミング回路を含めてもよい。この電圧トリミング回路は、フューズ素子のデータに基づいてBGR回路の出力電圧を補正する。フューズ素子のデータはテスト工程で決める。

【0036】図4は、図2中のVINT検知回路26の構成の一例を示す。

【0037】このVINT検知回路の構成は、図29を参照して前述した従来例のパワーオンリセット回路と比べて、基本的には同じであるので、図29中と同一部分には同一符号を付しているが、VINTを電源とする点、二段接続のインバータ回路291、292の中間に遅延回路41が挿入されている点、後段のインバータ回路292の出力信号はパワーオンリセット信号PORとして直接使用されるのではなく、パワーオン検知信号PORINTとして使用される点が異なる。

【0038】このVINT検知回路の動作は、VINTのレベルをモニタし、VINTのレベルが第1の検知レベル（電圧Vpol）以上になったらパワーオン検知信号PORINTを“H”とする。この際、本例では、遅延回路41が挿入されており、VINTのレベルがVpol以上になってから

遅延回路41の所定の遅延時間 T_d 後にパワーオン検知信号PORINTを“H”とする。この遅延の役割は後述する。

【0039】上記検知レベル V_{po1} は、従来例のパワーオンリセット回路と同様に、使用するトランジスタの閾値のばらつきや温度により変わり得るので、パワーオン検知信号PORINTは、図1中のPOR信号発生回路11の内部でのみ使用し、周辺回路13では使用しない。

【0040】図5は、図2中の電流源生成回路27の構成の一例を示す。

【0041】この電流源生成回路は、VINT ノード（安定化容量Cの接続ノード）とVSSノードとの間に、PMOSトランジスタ51、ドレイン・ゲート相互が接続されたNMOSトランジスタ52およびダイオード53が直列に接続されている。また、上記VINT ノードとVSSノードとの間に、ゲート・ドレイン相互が接続されたPMOSトランジスタ54、NMOSトランジスタ55および抵抗素子56が直列に接続されている。この場合、前記PMOSトランジスタ51および54のゲート同士が接続されており、前記NMOSトランジスタ52および55のゲート同士が接続されている。さらに、前記VINT ノードとVSSノードとの間に、PMOSトランジスタ57およびドレイン・ゲート相互が接続されたNMOSトランジスタ58が直列に接続されている。上記PMOSトランジスタ57は、ゲートが前記PMOSトランジスタ54のドレインに接続されるとともに、VSSノードとの間にNMOSトランジスタ59が接続されており、ドレインから電流ISRCが出力する。上記NMOSトランジスタ59のゲートには、回路の初期化動作を行うために前記パワーオン検知信号PORINTがインバータ回路60により反転されて入力する。

【0042】この電流源生成回路の出力電流ISRCは、図2中の基準電位生成回路27やVCC検知回路23のオペアンプで使用する電流源として供給される。

【0043】図6は、図2中のVCC検知回路23の構成の一例を示す。

【0044】このVCC検知回路の構成は、VCCを分割する抵抗素子R4、R5と、VINT を動作電源とし、前記抵抗素子R4、R5によるVCCの分割電圧とVREF を比較するオペアンプ61と、このオペアンプ61の電流源をスイッチ制御するNMOSトランジスタQNと、VINT を動作電源とし、前記オペアンプ61の出力が入力するインバータ回路62と、VCCを動作電源とし、上記インバータ回路62の出力が入力するレベルシフタ63と、VCCを動作電源とし、上記レベルシフタ63の出力が一方の入力となる二入力のノアゲート64と、VCCを動作電源とし、前記パワーオン検知信号PORINTが入力し、それを反転した信号を前記二入力のノアゲート64の他方の入力とするインバータ回路65とからなり、前記ノアゲート64の出力信号がパワーオンリセット信号PORとして図2中のVCC検知回路23、VINT-VCC短絡回路24や、図1中の周辺回路13で使用される。

【0045】このVCC検知回路の動作は、VCCをモニタ

し、VCCが所定の電圧 V_{po2} 以上になったことを検知してパワーオンリセット信号POR を“H”とする。但し、前記パワーオン検知信号PORINTが“L”の間は、インバータ回路65の出力が“H”であり、ノアゲート64の出力信号であるパワーオンリセット信号POR も強制的に“L”となる。

【0046】このVCC検知回路は、温度依存性のない基準電位VREF とオペアンプ61を使用しているので、検知レベル V_{po2} は殆んどばらつかない。

【0047】図7は、図2中のVINT-VCC短絡回路24の構成の一例を示す。

【0048】このVINT-VCC短絡回路の構成は、VCCノードとVINT ノード（安定化容量の接続ノード）との間にD型NMOSトランジスタQDが接続され、そのゲートにパワーオンリセット信号POR が入力する。

【0049】このVINT-VCC短絡回路の動作は、パワーオンリセット信号POR が“H”になった期間にVCCノードとVINT ノードをトランジスタQDにより短絡する。

【0050】図8は、図2中のVINT リミッタ25の構成の一例を示す。

【0051】このVINT リミッタは、VINT ノード（安定化容量Cの接続ノード）とVCCノードとの間に、ダイオード接続の複数（本例では2個）のNMOSトランジスタQNを挿入したものである。

【0052】このVINT リミッタの動作は、VINT とVCCの電位差が一定の値以上にならないようにVINT の値をリミットする役割を有する。これにより、昇圧されたVINT によるトランジスタの破壊を防ぐことができる。

【0053】図9は、図6中のレベルシフタ63の構成の一例を示す。

【0054】このレベルシフタは、VINT 系の入力信号INがゲートに入力し、ソースがVSSノードに接続されたNMOSトランジスタ91と、VCCノードと上記NMOSトランジスタ91のドレインとの間にソース・ドレイン間が接続されたPMOSトランジスタ92と、VINT を動作電源とし、VINT 系の入力信号INが入力するインバータ回路93と、このインバータ回路93の出力信号がゲートに入力し、ソースがVSSノードに接続されたNMOSトランジスタ94と、VCCノードと上記NMOSトランジスタ94のドレインとの間にソース・ドレイン間が接続されたPMOSトランジスタ95とからなり、上記2個のPMOSトランジスタ92、95はそれぞれバックゲートがVCCノードに接続され、それぞれのゲートとドレインがクロス接続されており、一方のPMOSトランジスタ95のドレインからVCC系の出力信号OUT が出力するものである。

【0055】図10は、図2のPOR信号発生回路の動作を示すタイミング波形図である。

【0056】次に、図10を参照しながら、図2のPOR信号発生回路の動作（VCCの上昇、降下に伴うVINT、PORINT、PORの動き）を説明する。

11

【0057】(1) 電源電圧VCCがチップに投入され、 $VCC > VLGC$ になると、発振回路21が自動的に動作を開始し、昇圧電圧VINT が生成される。このVINT が検知レベルVpo1 より高くなってから遅延時間Td だけ経過した後、検知信号PORINTが"H" になる。このTd の間に、電流源生成回路27、基準電位生成回路28およびVCC検知回路23が稼働状態となる。VCCがさらに上昇して検知レベルVpo2 以上になると、VCC検知回路23がそれを検知してパワーオンリセット信号POR を"H" にする。この信号POR が"H" になると、発振回路21の動作が停止し、VINT-VCC短絡回路24によりVINT ノードとVCCノードが短絡される。

【0058】(2) VCCが降下する時は、上記と逆の順番で回路が動作する。

【0059】上記動作に際して、VCC検知回路23でオペアンプ61を用いて電圧を比較しているの、その検知レベルVpo2 は図29に示した従来例のパワーオンリセット回路に比べて正確である。また、オペアンプ61の動作電源として昇圧電位VINT を用いているので、VCCが低くてもオペアンプ61は動作する。検知レベルVpo2 は、 $\max(VLGC, VALG) < Vpo2 < VCCmin$ が満たされるように決めれば良い。

【0060】また、図2のPOR 信号発生回路は、パワーオンリセット信号POR を生成するとともに電流源ISRCならびに基準電位VREF も生成する。この場合、電流源生成回路27および基準電位生成回路28の動作電源として、VCCではなくVINT を使用しているの、VCCが低くても動作するという利点がある。

【0061】したがって、上述したような図2のPOR 信号発生回路によれば、パワーオン検知レベルの温度、トランジスタの閾値のばらつきに対する依存性をなくし、ばらつきフリーなパワーオンリセット回路を実現することが可能になる。

【0062】なお、上記POR 信号発生回路の第1の実施例では、チップの消費電流を減らすため、 $VCC > Vpo2$ の時は発振回路21の動作を停止させ、VINT-VCC短絡回路24によりVINT ノードとVCCノードを短絡させるようにしている。このような消費電力の削減手段は、低い待機電力が要求される不揮発性メモリにおいては意義がある。しかし、待機電力が元々多いDRAMやSRAMのようなメモリに対しては、発振回路21と昇圧回路22の分の消費電流を節約してもチップの電力削減に対して効果が少ない。このような半導体製品に対しては、VINT-VCC短絡回路24を省略し、 $VCC > Vpo2$ でも発振回路21を動かし続けるようにしてもよい。この場合、発振回路21は $VCC > VLGC$ ならば常に動いていることになる。

【0063】<POR 信号発生回路の第2の実施例>図8に示したVINT リミッタは、ダイオード接続の複数のNMOSトランジスタをVINT ノード・VCCノード間に挿入したものを使用したので、図10に示したように、昇圧回

12

路が動作している間はVINT ノード・VCCノード間の電位差が一定に保たれる。したがって、VCCが高くなるとVINT も高くなり、VCCがVpo2 にほぼ等しい時にVINT は最高値となる。

【0064】しかし、VINT の最高電圧が高すぎると、VINT に接続されたトランジスタが破壊されてしまう。このような破壊を防ぐため、図11に示すようなVINT リミッタを使用してもよい。

【0065】図11は、図8に示したVINT リミッタの変形例を示す回路図である。

【0066】このVINT リミッタは、VINT ノード・VSSノード間に、ダイオード接続の複数(本例では3個)のNMOSトランジスタQNを挿入したものを使用している。

【0067】図12は、図11のVINT リミッタを使用したPOR 信号発生回路の第2の実施例の動作を示すタイミング波形図である。

【0068】昇圧回路が動作している間に、VINT のリミット電圧が $3V_{tn}$ (V_{tn} はダイオード接続のNMOSトランジスタQNの閾値電圧)で一定に保たれるので、VINT がVCCに依存せず、VINT が高くなり過ぎるという問題が起きない。

【0069】<POR 信号発生回路の第3の実施例>前述したPOR 信号発生回路の第1の実施例および第2の実施例では、 $VLGC < VCC < Vpo2$ の間は常に昇圧回路22が動いているので、この間のチップの消費電流が多い。この消費電流がVCCの値に応じて増大することを防ぐことが可能なPOR 信号発生回路の第3の実施の形態について、以下に説明する。

【0070】図13は、図1中のPOR 信号発生回路の第3の実施例のブロック構成を示す。

【0071】このPOR 信号発生回路は、図2を参照して前述したPOR 信号発生回路と比べて、VINT-VCC短絡回路24が省略され、VINT リミッタ25a の構成が異なり、VCC検知回路23の出力信号POR に代えてVINT リミッタ25a の出力信号OSCENnが発振回路21の発振動作の開始/停止を制御するために使用されており、その他は同じであるので図2中と同一符号を付している。

【0072】図14は、図13中のVINT リミッタ25a の構成の一例を示す回路図である。

【0073】このVINT リミッタは、VINT ノードとVSSノードとの間に抵抗Rc、Rb、Ra が直列に接続されて2つの分割電圧が生成され、この2つの分割電圧をそれぞれ基準電圧VREF と比較する二系統で構成されている。

【0074】この場合、一方の系統では、VINT を動作電源とし、第1の分割電圧とVREFを比較する第1のオペアンプ141と、この第1のオペアンプ141の電流源をスイッチ制御するNMOSトランジスタQNと、VINT を動作電源とし、前記第1のオペアンプ141の出力が入力するインバータ回路151と、VCCを動作電源とし、上記イン

13

バータ回路151の出力が入力する第1のレベルシフタ161と、VCCを動作電源とし、上記第1のレベルシフタ161の出力の立上がりを検出する立上がり信号検出回路18と、この立上がり信号検出回路18の出力が入力するインバータ回路171と、このインバータ回路171の出力が一方の入力となる二入力のナンドゲート19が設けられている。

【0075】また、他方の系統では、VINTを動作電源とし、第2の分割電圧とVREFを比較する第2のオペアンプ142と、この第1のオペアンプ142の電流源をスイッチ制御するNMOSトランジスタQNと、VINTを動作電源とし、前記第2のオペアンプ142の出力が入力するインバータ回路152と、VCCを動作電源とし、上記インバータ回路152の出力が入力する第2のレベルシフタ162と、VCCを動作電源とし、上記第2のレベルシフタ162の出力が入力するインバータ回路172が設けられている。

【0076】そして、前記一方の系統のナンドゲート19の出力がフリップフロップ回路20のセット入力となり、他方の系統のインバータ回路172の出力が上記フリップフロップ回路20のリセット入力となり、このフリップフロップ回路20の出力信号OSCENnが前記発振回路21の発振動作の開始/停止を制御するために使用される。

【0077】このVINTリミッタは、次の2種類の検知レベルVint1、Vint2（Vint1<Vint2）を持つ。

【0078】 $V_{int1} = V_{REF} \times (R_a + R_b + R_c) / (R_a + R_b)$

$V_{int2} = V_{REF} \times (R_a + R_b + R_c) / R_a$

Vint1とVint2の値は、基準電圧VREFと抵抗Ra、Rb、Rcにより決まり、抵抗Ra、Rb、Rcの抵抗値の比を変えることにより調整できる。

【0079】図15は、図13のPOR信号発生回路の動作を示すタイミング波形図である。

【0080】次に、図15を参照しながら、図13のPOR信号発生回路の動作（VCCの上昇、降下に伴うVINT、PORINT、PORの動き）を説明する。

【0081】電源投入時と、VINTが降下してVINT<Vint1となった場合は、OSCENn="H"となり、発振回路21を動作させる。

【0082】VINT>Vint2になると、OSCENn="L"になり、発振回路21の動作を停止させる。この停止状態は、VINT<Vint1となるまで保つ。この停止期間Tは、VINTに接続された回路の消費電流をI、安定化容量の容量値をCとすると、

$T = C (V_{int2} - V_{int1}) / I$

となる。Iの値は電流源生成回路27により調整可能である。

【0083】したがって、図13中の発振回路21ならびに昇圧回路22は散発的に動作し、VINTは、Vint1<VINT<Vint2の範囲に収まる。昇圧回路21は散発的にの

14

み動作するので、その消費電流は小さい。したがって、POR信号発生回路全体の消費電流は、I、Cの値を適当に選ぶことにより調整できる。

【0084】なお、以上の説明では、VCC>Vpo2の場合も散発的に発振回路21を動作させるものとしていたが、前述したPOR信号発生回路の第1の実施例および第2の実施例のように、VCC>Vpo2の場合は発振回路21の動作を強制的に止めてVCC=VINTとなるようにしてもよい。即ち、散発的に発振回路21を動作させる条件として、VINTに対する上記条件に加えて、VCCがVLGC<VCC<Vpo2を満たすという条件を追加してもよい。

【0085】＜第2の実施の形態＞本発明のパワーオンリセット信号発生方式は、半導体装置における降圧回路系に対しても適用可能であり、以下に降圧回路系を使用する第2の実施の形態に係る半導体メモリについて説明する。

【0086】図16は、本発明の半導体装置の第2の実施の形態に係る半導体メモリのメモリチップ10aの構成を概略的に示している。

【0087】このメモリチップ10aは、図1を参照して前述したメモリチップ10と比べて、VCCおよびVREFから降圧電源VDDを生成して周辺回路13へ主たる電源として供給する降圧回路14が付加されている点が異なり、その他は同じであるので、図1中と同一符号を付している。

【0088】このような降圧回路系を使用するメモリでは、VDDが所定の電圧よりも高くなったらパワーオンリセット信号PORVDDを"H"にするパワーオンリセット信号発生回路が必要となる。

【0089】このようなVDDに対するパワーオンリセット信号発生回路に本発明を適用すれば、VDDの検知レベルの温度依存性をなくすることができる。

【0090】＜POR信号発生回路の第4の実施例＞図17は、POR信号発生回路の第4の実施例の構成を示す。

【0091】このPOR信号発生回路は、図2を参照して前述したPOR信号発生回路の第1の実施例と比べて、VDD検知回路23aが加わった点が異なり、その他は同じであるので、図2中と同一符号を付している。

【0092】図18は、図17中のVDD検知回路23aを取り出して示している。

【0093】このVDD検知回路の構成は、図6を参照して前述したVCC検知回路と比べて、（1）VDDを抵抗分割する点、（2）レベルシフタ63a、ノアゲート64a、インバータ65aの動作電源としてVDDが供給される点が異なり、その他は同じであるので、図6中と同一符号を付している。

【0094】このVDD検知回路の動作は、VDDの抵抗分割値をモニタし、VDDが所定の電圧Vpo2以上になったことを検知して第2のパワーオンリセット信号PORVDDを"H"とする。但し、前記パワーオン検知信号PORINTが"

15

L”の間は、インバータ回路65aの出力が“H”であり、ノアゲート64aの出力信号であるパワーオンリセット信号PORVDDも強制的に“L”となる。

【0095】このVDD検知回路は、温度依存性のない基準電位VREFとオペアンプ61を使用しているので、検知レベルVpo2は殆んどばらつかない。

【0096】図19は、図18のレベルシフタ63aを示す回路図である。

【0097】このレベルシフタは、図9を参照して前述したレベルシフタと比べて、動作電源VCCに代えて動作電源VDDが供給される点が異なり、その他は同じであるので、図9中と同一符号を付している。

【0098】なお、上記した第2の実施の形態に係る半導体メモリにおける降圧回路系に対して、上記POR信号発生回路の第4の実施例に限らず、前述したPOR信号発生回路の第1の実施例乃至第3の実施例のいずれかを適用してもよい。

【0099】また、以上の説明は半導体メモリを例にとって説明したが、本発明は、パワーオンリセット動作が必要なすべての半導体装置に対して適用可能である。

【0100】＜POR信号発生回路の第5の実施例＞上述したPOR信号発生回路の各実施例では、電源電圧の検知レベルを自在に設定できる。しかし、パワーオンリセット信号PORをロジック回路のリセットにしか使用しない場合は、パワーオン検知レベルVpoとVLGCが同一でよく、以下に示すように簡便な構成のPOR信号発生回路を使用することができる。

【0101】図20は、POR信号発生回路の第5の実施例の構成を示す。

【0102】このPOR信号発生回路は、図2を参照して前述したPOR信号発生回路の第1の実施例と比べて、VCC検知回路23、電流源生成回路27、基準電位生成回路28が省略され、電圧検知回路26aの構成が若干変更されている点が異なり、その他は同じであるので、図2中と同一符号を付している。なお、図中のVINTリミッタ25としては、図8もしくは図11に示した回路を使えばよい。

【0103】前記VINT検知回路26aは、図4を参照して前述したVINT検知回路26中の遅延回路41が省略されたものであり、昇圧電圧VINTをモニタし、VINTがある程度の電圧レベルになったことを検知してパワーオンリセット信号PORを生成するものである。

【0104】＜POR信号発生回路の第6の実施例＞図21は、POR信号発生回路の第6の実施例の構成を示す。

【0105】このPOR信号発生回路は、図2を参照して前述したPOR信号発生回路の第1の実施例と比べて、VINT検知回路26が昇圧回路22の出力ノードの電圧を検知するように接続されている点、VINT-VCC短絡回路24が昇圧回路22の出力ノードに接続されている点、電流源生成回路27としてウィルソン回路が用いられている点、基

16

準電位生成回路28としてBGR回路が用いられている点のほか、次の回路が付加されている点などが異なり、図2中と同一部分には同一符号を付している。

【0106】即ち、付加された回路は、(1)リセット回路101、(2)VINT検知回路26の出力信号を反転するインバータ回路102、(3)前記インバータ回路102の出力信号をラッチするSR型フリップフロップ(F/F)回路103およびこのF/F回路103の出力信号を反転し、図2中のVINT検知回路26の出力信号に代えて、前記ウィルソン回路27、BGR回路28、VCC検知回路23およびLPF(ローパスフィルタ)29を制御する信号BGRsetnを出力するインバータ回路104、(4)前記インバータ回路104の出力信号BGRsetnを所定時間(本例では数十μs程度)遅延させる遅延回路105、(5)VCC検知回路23のVCC検知フラグ出力VCCflgを所定時間(本例では数十μs程度)固定するフラグ固定回路106、(6)フラグ固定回路106の出力信号VCCenbと前記遅延回路105の出力信号BGRenbが入力し、信号PORを出力するナンド回路107、(7)前記ナンド回路107の出力信号PORと前記リセット回路101の出力信号LOWVCCnが入力するナンド回路108およびこのナンド回路108の出力信号を反転し、VINT-VCC短絡回路24の制御信号EQVCCnを出力するインバータ回路109、(8)前記インバータ回路109の出力信号EQVCCnと前記VINT検知回路26の出力側のインバータ回路102の出力信号が入力するナンド回路110およびこのナンド回路110の出力信号を反転し、発振回路21の制御信号OSCenbを出力するインバータ回路111である。

【0107】図22は、図21のPOR信号発生回路の動作シーケンスを概略的に示す図である。

【0108】次に、図22を参照しながら、図21のPOR信号発生回路の動作を説明する。

【0109】＜VCC起動時＞

(1)VCC電源の立ち上がり速度に対する要求はユーザーにより異なるので、VCCと基準電圧系回路(ウィルソン回路27、BGR回路28など)のセットアップ時間との関係は単純な形にはならない。そこで、VCCの系統と基準電圧系回路の昇圧電源VINTの系統に分けており、基準電圧系回路のセットアップ終了まではVCCをモニタしない。

【0110】(2)VCCが約1.1V程度になると、発振回路21が動作し始める。この時点から昇圧回路22が昇圧動作を開始するが、昇圧能力を低減するためにVCCに充電をすることが望ましい。このため、リセット回路101によりNMOSトランジスタとPMOSトランジスタの閾値で決まるレベルにVCCになるまでにインバータ回路109の出力信号EQVCCnを活性化させ、VINT-VCC短絡回路24をオンさせて昇圧回路22の出力ノードをVCCに充電する。

【0111】(3)基準電圧系回路の昇圧電源VINTが立ち上がるまでの期間は、インバータ回路104の出力信

17

号BGRsetnの“L”(BGRリセット信号)によりBGR回路28などをリセットする。

【0112】(4) VINTが規定レベルに達し、前記インバータ回路104の出力信号BGRsetnが“H”(BGR起動信号)になった後、BGR回路28が安定するまで、数十 μ s程度必要である。このため、前記信号BGRsetnを遅延回路105に入力してBGR回路28が安定動作になるまでの期間(数十 μ s)を待った後、遅延回路105からセットアップ完了信号BGRenbを出力させる。

【0113】(5) BGR起動完了後、VCC検知回路23によりVCCレベルのモニタを開始し、VCCが規定レベルを超えた時に、VCCが規定レベルに達したことを示すフラグ信号VCCflgが出力する。このフラグ信号VCCflgがフラグ固定回路106を経て信号VCCenbとなり、この信号VCCenbと前記信号BGRenbに基づいてインバータ回路109から出力する信号EQVCCnにより、VINTの昇圧を停止させるとともに、基準電圧系回路の電源をVCCに切り換えるように制御する。これと同時に、ナンド回路1070から、パワーオンリセット信号POR(従来のパワーオン起動信号と同じ信号)が出力してパワーオンを終了する。

【0114】なお、前記フラグ固定回路106は、前記基準電圧系回路の電源をVCCへ切り換える時にVCCとVINT間の電位差が大きいと、VCC検知回路23のオペアンプがVINTの揺れによって誤動作するので、フラグ信号VCCflgが出力した後、数十 μ s間はフラグを固定するために挿入されている。

【0115】<VCC降下時>

(1) VCC検知回路23によりVCCの立下りを検知し、VINTの昇圧を開始する。

【0116】(2) VCC検知回路23によりVCCが復帰して規定レベルを超えたことを検知した後、VINTの昇圧を停止し、基準電圧系回路の電源をVCCに切り換える。VCCが復帰せずに立ち下がった場合には、リセット回路101によって検知されることでリセットされる。

【0117】図23は、図21中のリセット回路101の構成の一例を示す。

【0118】このリセット回路は、従来例と同様のパワーオン回路で構成される。

【0119】パワーオン検知レベルは、インバータが動作するVCCminで良いので、PMOSトランジスタもしくはNMOSトランジスタの閾値電圧Vthの高い方で決まるレベルの1.25倍程度(VCC \approx 約1.4V)でリセットがかかるように設定した。

【0120】このリセット回路101の第1の目的は、図21に示したPOR信号発生回路の昇圧電圧VINTをできるだけ低パワーで速く上げるために、昇圧回路22の出力ノードにVCCを充電する制御信号を生成することである。第2の目的は、図21に示したPOR信号発生回路において、VINT検知回路26の出力信号LOWVINTnに基づいてBGRリセット信号BGRsetnを生成するためにF/F回路10

18

3を使用しており、このF/F回路103をリセットすることである。第3の目的は、BGR安定判定用の遅延回路105の出力を制御することである。

【0121】このリセット回路101の閾値のばらつきについては、パワーオン検知レベルが非常に低いので、精度は要求されない。

【0122】図24(a)、(b)は、図21中の発振回路21および昇圧回路22の構成の一例を示す。

【0123】この発振回路21および昇圧回路22は、例えば2相クロック方式を採用しており、それぞれの構成および動作は周知であるので、その説明は省略する。

【0124】図25(a)、(b)は、図21中の昇圧回路22の出力ノードにVCCを充電するためのVINT-VCC短絡回路24の相異なる構成例を示す。

【0125】図25(a)に示すVINT-VCC短絡回路は、ドレイン・ゲート相互が接続されたIタイプのNMOSトランジスタ251のドレイン・ソース間がVCCノードとVINT昇圧出力ノードとの間に接続されている。

【0126】この構成は、シンプルではあるが、VCCの立ち上がり時の低VCC時、IタイプのNMOSトランジスタ251の閾値落ちによりVINTのレベルが低くなってしまふ(VCC=2.1VとしてVINTが2.0V以下になるおそれがある)。

【0127】図25(b)に示すVINT-VCC短絡回路は、DタイプのNMOSトランジスタ252のドレイン・ソース間がVCCノードと昇圧出力(PMPOUT)ノードとの間に接続され、このトランジスタ242のゲートに信号EQVCCnをインバータ回路253で反転させた信号が供給される。

【0128】この構成は、信号EQVCCnとインバータ回路253を必要とし、パターン面積も大きくなるが、VCCノードとVINTノードの短絡時にDタイプトランジスタ252の閾値落ちがなく、素早く短絡される利点がある。

【0129】図26は、図21中のVINT検知回路26の構成の一例を示す。

【0130】VINT検知回路は、基準電圧VREFが発生していない状態でVCCのレベルも立ち上がり速度次第で不確定という段階において、VINTのレベルを判定することが要求される。そこで、図29に示した従来例のパワーオン回路と同様の構成を採用している。

【0131】このVINT検知回路による検知レベルのばらつきはPMOSトランジスタの閾値のばらつきに依存するが、VINTがある程度のレベル(目標値はVINT=2.5V)になっていればばらつきの問題はない。

【0132】図27は、図21中の遅延回路(BGR安定判定回路)105の構成の一例を示す。

【0133】BGR電圧が安定したことを判定する方法には、時間判定とBGR回路28内ノードの電圧判定の2種類があるが、基準電圧VREFが発生していない状態での電圧判定は不可能であるので、時間判定を採用している。この際、遅延時間のオーダーとしては数10 μ s程度であ

19

り、VCCの立ち上がり速度はmsオーダーであることを考えると、精度は要求されない。したがって、インバータとキャパシタで構成した遅延回路105を用いた。

【0134】この遅延回路105の構成上で注意すべき点は、遅延回路105内のインバータ回路が動作し始めてから数10 μ sしか経っていない場合、インバータ回路の動作開始前の不定レベルが出力されてしまう点である。

【0135】この対策として、図27に示したように構成が比較的簡単な遅延回路を採用している。この遅延回路は、前段のF/F回路103およびインバータ回路104により確定状態となっている入力信号INをインバータ回路IVとPMOSトランジスタのドレイン・ソースを短絡接続してなるキャパシタCPとNMOSトランジスタのドレイン・ソースを短絡接続してなるキャパシタCNにより遅延させる。そして、この遅延した信号と前記入力信号INをそれぞれVCCを動作電源とする二入力のナンドゲート271およびその後段に接続されたインバータ272からなる論理積回路で論理積をとる。

【0136】なお、図21中のVCC検知回路23は、BGR回路28が起動完了してからVCCを検知するものであり、POR信号発生回路の第1の実施例において図6を参照して前述したVCC検知回路23とほぼ同様の構成を採用している。このVCC検知回路による検知レベルの目標値は2.0Vである。

【0137】また、図21中のBGR回路（基準電位生成回路）28は、従来より感度を高めた差動アンプを用いて構成している。また、図21に示したPOR信号発生回路において、VCCminの仕様は緩いものの、VCC=2.3Vの仕様に対して、設計としてVCC=2.1Vまでの動作保証をするため、VCC検知のずれも考えて、VCC=2.0VでのBGR回路28の動作を保証することが望ましい。

【0138】図28は、図21中のフラグ固定回路106の構成の一例を示す。

【0139】このフラグ固定回路は、前記フラグ信号VCf1gが一方の入力となる第1のナンド回路281と、この第1のナンド回路281の出力が一方の入力となる第2のナンド回路282と、この第2のナンド回路282の出力が入力する第1のインバータ回路283と、該第1のインバータ回路283の信号を所定時間遅延させる遅延回路284と、この遅延回路284の出力が一方の入力となり、前記第2のナンド回路282の出力が他方の入力となり、その出力が前記第2のナンド回路282の他方の入力となる第3のナンド回路285と、前記遅延回路284の出力が一方の入力となり、前記第2のナンド回路282の出力が他方の入力となるノア回路286と、このノア回路286の出力が入力し、その出力が前記第1のナンド回路281の他方の入力となる第2のインバータ回路287とを具備する。

【0140】このフラグ固定回路の目的は、VCC検知後にVINTノードをVCCノードに短絡接続した際、VCC検知回路23のオペアンプがVINTの変動の影響で誤動作す

20

るおそれがあるので、この誤動作を防止するためにVCC検知フラグVCCf1gを所定期間固定することである。

【0141】

【発明の効果】上述したように本発明の半導体装置に設けられたパワーオンリセット信号発生回路によれば、電源電圧の検知レベルが正確であり、特に、検知レベルの温度依存性をなくすることができる。また、電源電圧が低くても電流源や基準電位を生成することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施の形態に係る半導体メモリの構成を概略的に示すブロック図。

【図2】図1中のPOR信号発生回路の第1の実施例を示すブロック図。

【図3】図2中のVCCを電源とする発振回路、昇圧回路およびローパスフィルタ、安定化容量を取り出して一例を示す回路図。

【図4】図2中のVINT検知回路の構成の一例を示す回路図。

【図5】図2中の電流源生成回路の構成の一例を示す回路図。

【図6】図2中のVCC検知回路の構成の一例を示す回路図。

【図7】図2中のVINT-VCC短絡回路の構成の一例を示す回路図。

【図8】図2中のVINTリミッタの構成の一例を示す回路図。

【図9】図6中のレベルシフタの構成の一例を示す回路図。

【図10】図2のPOR信号発生回路の動作を示すタイミング波形図。

【図11】図8に示したVINTリミッタの変形例を示す回路図。

【図12】図11のVINTリミッタを使用したPOR信号発生回路の第2の実施例の動作を示すタイミング波形図。

【図13】図1中のPOR信号発生回路の第3の実施例を示すブロック図。

【図14】図13中のVINTリミッタの構成の一例を示す回路図。

【図15】図13のPOR信号発生回路の動作を示すタイミング波形図。

【図16】本発明の半導体装置の第2の実施の形態に係る半導体メモリの構成を概略的に示すブロック図。

【図17】POR信号発生回路の第4の実施例を示すブロック図。

【図18】図17中のVDD検知回路を取り出して示す回路図。

【図19】図18中のレベルシフタを示す回路図。

【図20】POR信号発生回路の第5の実施例を示すブロック図。

21

【図21】POR 信号発生回路の第6の実施例を示すブロック図。

【図22】図21のPOR 信号発生回路の動作シーケンスを概略的に示す図。

【図23】図21中のリセット回路の構成の一例を示す回路図。

【図24】図21中の発振回路および昇圧回路の構成の一例を示す回路図。

【図25】図21中の昇圧回路の出力ノードにVCCを充電するためのVINT-VCC短絡回路の相異なる構成例を示す回路図。

【図26】図21中のVINT 検知回路の構成の一例を示す回路図。

【図27】図21中の遅延回路（BGR 安定判定回路）の構成の一例を示す回路図。

【図28】図21中のフラグ固定回路の構成の一例を示す回路図。

【図29】従来のパワーオンリセット回路を示す回路 *

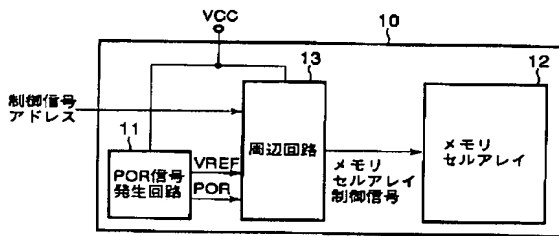
22

*図。

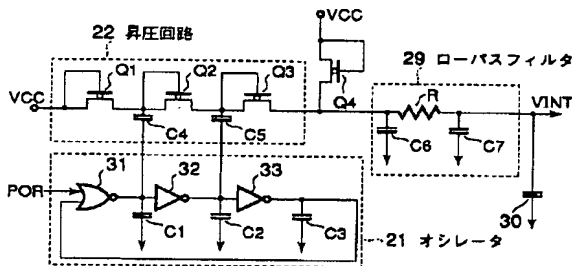
【符号の説明】

- 21…発振回路（オシレータ）、
- 22…昇圧回路、
- 23…VCC検知回路、
- 24…VINT-VCC短絡回路、
- 25…VINT リミッタ、
- 26…VINT 検知回路、
- 27…電流源生成回路、
- 28…基準電位生成回路、
- 29…ローパスフィルタ（LPF）、
- 30…昇圧電圧安定化容量、
- 101…リセット回路、
- 102…ラッチ回路、
- 103…遅延回路、
- 104…インバータ回路、
- 105…遅延回路、
- 106…フラグ固定回路。

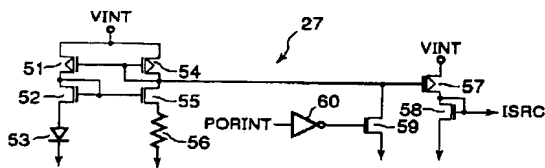
【図1】



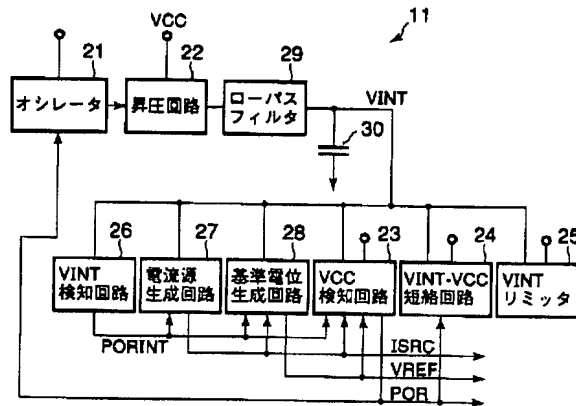
【図3】



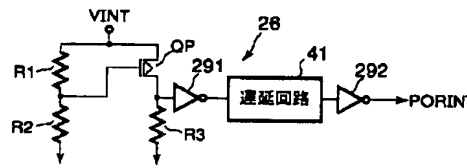
【図5】



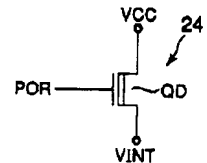
【図2】



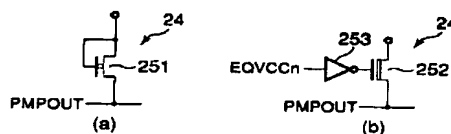
【図4】



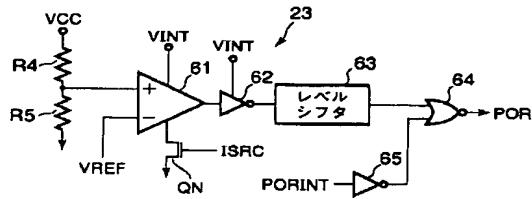
【図7】



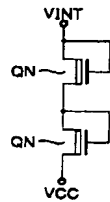
【図25】



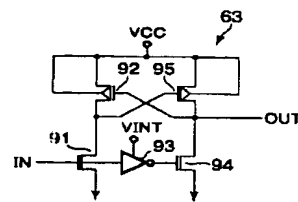
【図6】



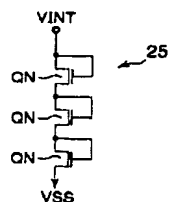
【図8】



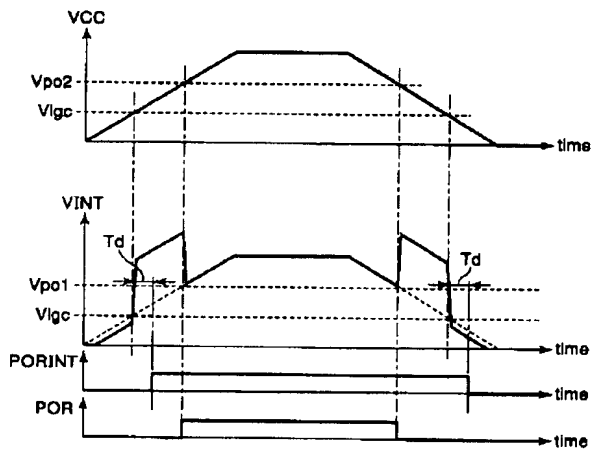
【図9】



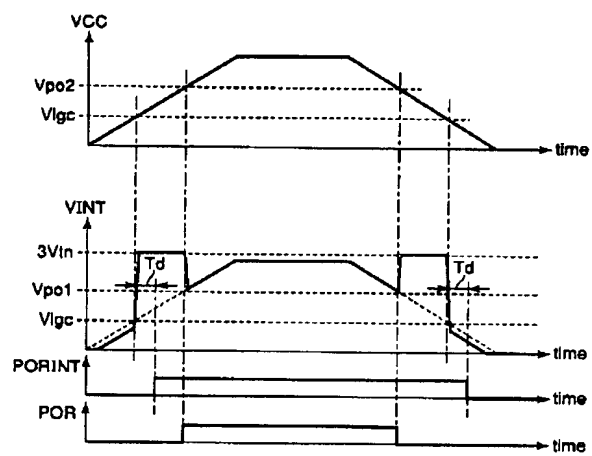
【図11】



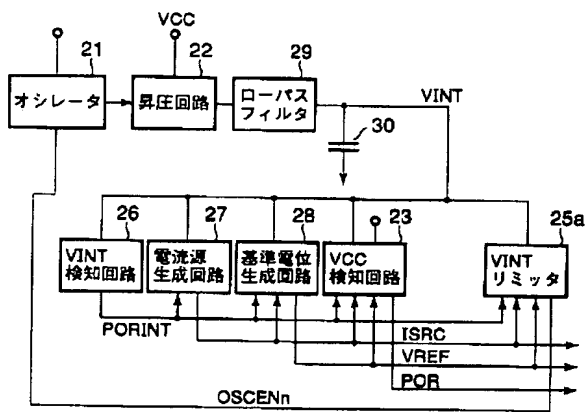
【図10】



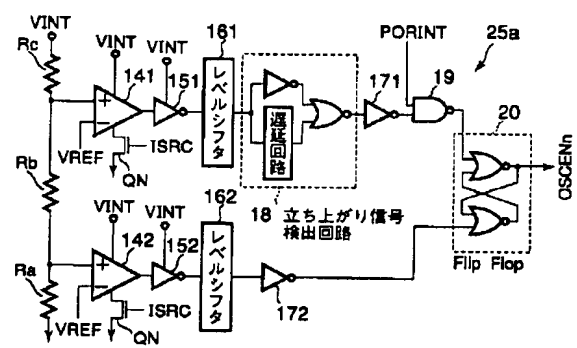
【図12】



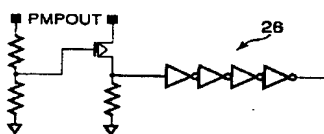
【図13】



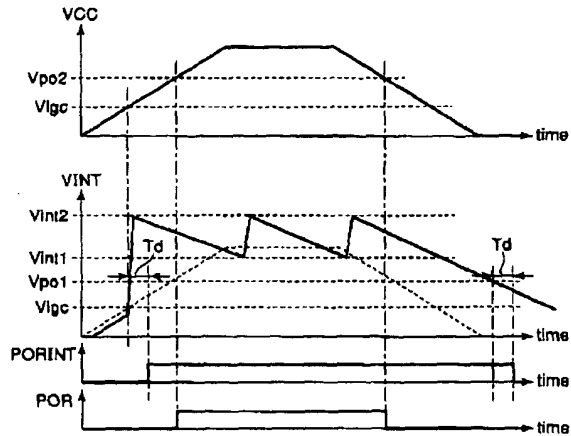
【図14】



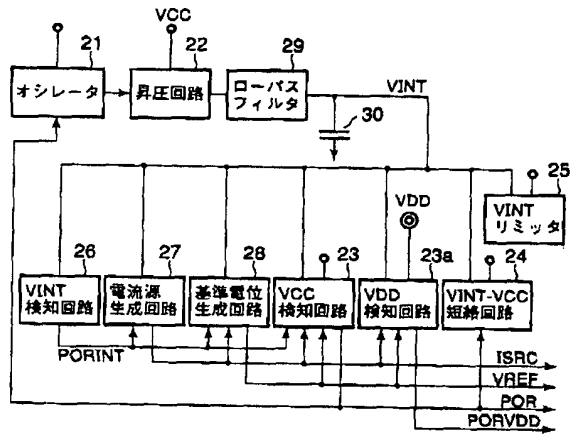
【図26】



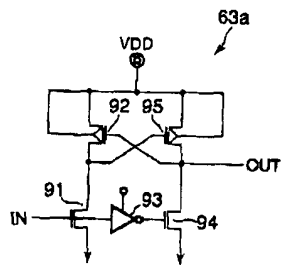
【図15】



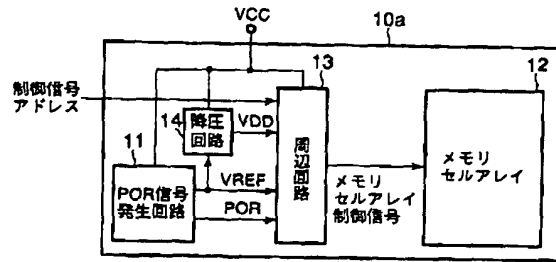
【図17】



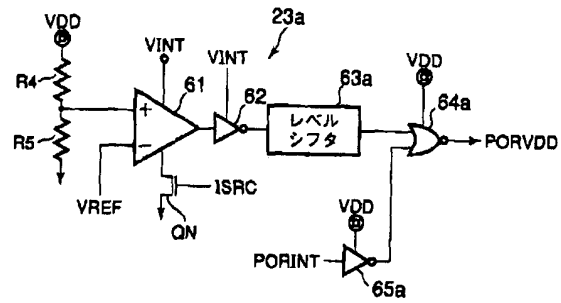
【図19】



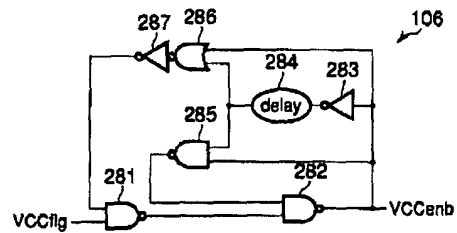
【図16】



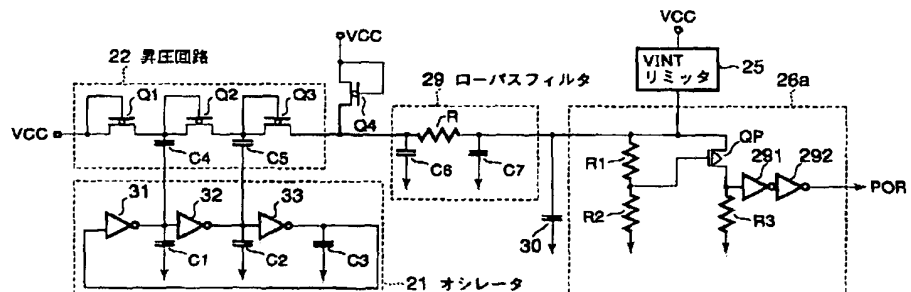
【図18】



【図28】



【図20】



[illegible]

【図 23】

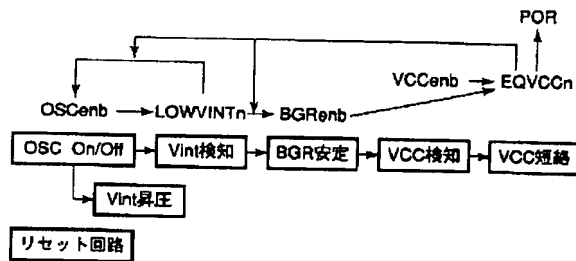


Figure 1 consists of two schematic diagrams. Diagram (a) shows a frequency divider circuit (21) that takes an input signal OSCarb and produces an output signal FAI. The circuit includes a series of inverters and a feedback loop. Diagram (b) shows a charge pump circuit (22) that takes inputs FAI and FAIb and produces an output signal PMPOUT. The circuit includes a series of inverters and a feedback loop.

The diagram shows a multi-stage CMOS circuit. The first stage, labeled 105, consists of an input IN connected to a PMOS transistor CP and an NMOS transistor CN. The gates of CP and CN are connected to a common node. The drain of CP is connected to a chain of four inverters. The source of CN is connected to ground. The output of the fourth inverter is connected to a second PMOS transistor and a second NMOS transistor. The gates of these two transistors are connected to a common node. The drain of the second PMOS transistor is connected to a NAND gate 271. The source of the second NMOS transistor is connected to ground. The output of the NAND gate 271 is connected to an output inverter 272. The output of the inverter 272 is OUT.

フロントページの続き

Fターム(参考) 5J032 AA05 AC12 AC14
5J055 AX57 BX41 CX27 EY03 EZ10
EZ14 EZ20 EZ25 EZ54 FX05
FX08 FX32 FX37 FX38 GX01
GX02 GX05